

日本国特許庁
JAPAN PATENT OFFICE

JC997 U.S. PTO
10/083161



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年10月25日

出願番号
Application Number:

特願2001-328022

[ST.10/C]:

[JP2001-328022]

出願人
Applicant(s):

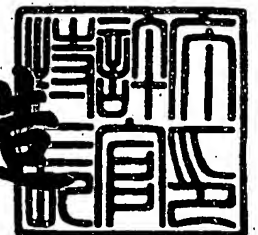
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0151421

【提出日】 平成13年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08
G06F 12/14

【発明の名称】 キャッシュ制御装置および方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 木村 啓昭

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 白髭 祐治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山崎 巖

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町8番地20 二番町ビル3F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 5 - 2 8 - 5 0 3

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュ制御装置および方法

【特許請求の範囲】

【請求項 1】 データへのアクセスに対して、主記憶キーによるキー制御保護が提供される情報処理装置のためのキャッシュ制御装置であって、

前記データを格納するキャッシュ手段と、

前記主記憶キーを要求する要求手段と、

要求された主記憶キーの到着を待たずに、前記キャッシュ手段のデータの検索を開始する制御手段と、

検索されたデータを送出する送出手段と

を備えることを特徴とするキャッシュ制御装置。

【請求項 2】 前記送出手段は、前記要求された主記憶キーの到着を待たずに、前記検索されたデータを送出することを特徴とする請求項 1 記載のキャッシュ制御装置。

【請求項 3】 論理アドレスと物理アドレスの対応関係を登録する変換索引バッファ手段と、論理アドレスを物理アドレスに変換するアドレス変換手段をさらに備え、前記アクセスの論理アドレスが該変換索引バッファ手段に登録されていなかったとき、前記制御手段は、該アクセスの論理アドレスの変換を該アドレス変換手段に要求し、変換結果を該変換索引バッファ手段に登録した後、前記要求された主記憶キーの到着を待たずに、該変換索引バッファ手段を検索することを特徴とする請求項 1 記載のキャッシュ制御装置。

【請求項 4】 論理アドレスと物理アドレスの対応関係を登録する変換索引バッファ手段と、論理アドレスを物理アドレスに変換するアドレス変換手段をさらに備え、前記アクセスの論理アドレスが該変換索引バッファ手段に登録されていなかったとき、前記制御手段は、該アクセスの論理アドレスの変換を該アドレス変換手段に要求し、変換結果を該変換索引バッファ手段に登録した後、前記要求された主記憶キーの到着を待たずに、該アドレス変換手段を開放することを特徴とする請求項 1 記載のキャッシュ制御装置。

【請求項 5】 到着した主記憶キーを保持する複数のキーアクセスポート手

段をさらに備え、前記アドレス変換手段は、複数のアクセスに伴う複数の論理アドレスを連続して変換し、前記要求手段は、変換が完了する度に対応する主記憶キーを要求することを特徴とする請求項 4 記載のキャッシュ制御装置。

【請求項 6】 前記制御手段は、前記キー制御保護を必要としないアクセスに対して、前記要求された主記憶キーの到着を待たずに、アクセス処理を完了することを特徴とする請求項 1 記載のキャッシュ制御装置。

【請求項 7】 データへのアクセスに対して、主記憶キーによるキー制御保護が提供される情報処理装置のためのキャッシュ制御方法であって、

前記アクセスの論理アドレスで変換索引バッファを検索し、

前記論理アドレスが前記変換索引バッファ手段に登録されていなかったとき、該論理アドレスを物理アドレスに変換し、

前記主記憶キーを要求し、

前記論理アドレスの変換結果を前記変換索引バッファに登録し、

要求された主記憶キーの到着を待たずに、再び前記変換索引バッファを検索し

前記論理アドレスに対応するキャッシュ内のデータを送出することを特徴とするキャッシュ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主記憶キー（ストレージキー）によるキー制御保護が提供される計算機システムに係り、キャッシュ装置の動作を制御するキャッシュ制御装置およびその方法に関する。

【0002】

【従来の技術】

主記憶キーは、情報処理装置における主記憶装置の内容を不当なアクセスから保護するための情報であり、主記憶装置の各ページ毎に設定される。この主記憶キーは、例えば、アクセス制御ビット（4ビット）、取り出し防止ビット、参照ビット、および変更ビットから構成される。

【 0 0 0 3 】

図 1 8 は、主記憶キーを有する従来の情報処理装置の構成図である。図 1 8 の情報処理装置は、CPU（中央処理装置）命令演算部 3 1、CPU 記憶部 3 2、主記憶装置 3 3、およびキーストレージ 4 1 を含む。CPU 記憶部 3 2 は、2 つのキャッシュ装置 3 4、制御装置 3 5、主記憶アクセス正当性検出回路 3 6、2 つの変換索引バッファ（Translation Lookaside Buffer, TLB）3 7、2 つのキーバッファ 3 8、アドレス変換部（Dynamic Address Translation, DAT）3 9、およびキーアクセスポート 4 0 を含む。

【 0 0 0 4 】

TLB 3 7 は、アドレス変換を高速化するために設けられ、論理アドレスと物理アドレスの対応関係が TLB 3 7 に登録される。キーバッファ 3 8 は、キーアクセスを高速化するために設けられ、主記憶キーがキーバッファ 3 8 に登録される。ここで、キーアクセスとは、キーストレージ 4 1 に格納されている主記憶キーを要求し、それを取得する動作を表す。また、キャッシュ装置 3 4 は、主記憶アクセスを高速化するために設けられ、データを格納する。

【 0 0 0 5 】

2 つのキャッシュ装置 3 4 のうち、一方はデータとして命令を格納し、他方はデータとしてオペランドを格納する。TLB 3 7 およびキーバッファ 3 8 についても、一方は命令用であり、他方はオペランド用である。DAT 3 9 は、与えられた論理アドレスを物理アドレスに変換する処理を行う。

【 0 0 0 6 】

また、正当性検出回路 3 6 は、キーバッファ 3 8 に登録された主記憶キーと、CPU 命令演算部 3 1 から送られたアクセスキーを用いて、主記憶アクセスの正当性をチェックする。キーアクセスポート 4 0 は、キーストレージ 4 1 から送られた主記憶キーを保持し、キーバッファ 3 8 に転送する。

【 0 0 0 7 】

図 1 9 は、図 1 8 の情報処理装置におけるキャッシュ制御のタイミングチャートであり、図 2 0 は、キャッシュ制御の概要を示すフローチャートである。まず、CPU 命令演算部 3 1 から主記憶アクセス要求（リクエスト）が発行されると

、その要求に伴う論理アドレスの変換結果である物理アドレスが T L B 3 7 に登録されているか否か（ヒットまたはミス）が判定される（ステップ S 1 1）。

【 0 0 0 8 】

その物理アドレスが登録されていない場合、T L B 3 7 は、T L B ミスを制御装置 3 5 に報告し、制御装置 3 5 は、D A T 3 9 にアドレス変換を要求する（ステップ S 1 2）。D A T 3 9 においてアドレス変換処理が行われた後、制御装置 3 5 は、キーストレージ 4 1 に対して主記憶キーを要求して（ステップ S 1 3）、キー到着報告を待つ（ステップ S 1 4）。

【 0 0 0 9 】

主記憶キーがキーアクセスポート 4 0 に到着すると、その到着をトリガとして、D A T 3 9 の変換結果である物理アドレスが T L B 3 7 に登録され、キーアクセスポート 4 0 の主記憶キーがキーバッファ 3 8 に登録される（ステップ S 1 5）。そして、D A T 3 9 が開放される（ステップ S 1 6）。

【 0 0 1 0 】

ここで、制御装置 3 5 は、主記憶アクセス要求の処理を再開する。物理アドレスが T L B 3 7 に登録されたため、T L B 3 7 は、制御装置 3 5 に対して T L B ヒットを報告し、制御装置 3 5 は、T L B 3 7 から読み出された物理アドレスで、キャッシュ装置 3 4 を検索する。これにより、データ（命令またはオペランド）がキャッシュ装置 3 4 に登録されているか否か（ヒットまたはミス）が判定される（ステップ S 1 7）。

【 0 0 1 1 】

ここで、データが登録されていなければ、主記憶装置 3 3 に対してデータ要求が発行され、到着したデータがキャッシュ装置 3 4 に登録される（ステップ S 1 8）。そして、主記憶アクセス要求の処理が再開される。データが登録されていれば、キャッシュ装置 3 4 はデータを送出し、制御装置 3 5 にキャッシュヒットを報告する。

【 0 0 1 2 】

また、C P U 命令演算部 3 1 は、あらかじめ、主記憶アクセス要求が主記憶キーによる保護（キー制御保護）を必要とするか否かを判定し、判定結果に応じて

異なる要求をCPU記憶部32に送る。そして、CPU記憶部32は、要求の種類に基づいて正当性検出回路36によるキーチェックが必要か否かを判定する（ステップS19）。TLBヒットと同時に、正当性検出回路36は、キーバッファ38に登録された主記憶キーを読み出して、CPU命令演算部31から受け取ったアクセスキーと比較することで、アクセスの正当性をチェックする（ステップS20）。

【0013】

具体的には、キー制御保護を必要としない場合、CPU命令演算部31は、正当性検出回路36のチェック結果を無視する信号INH_KEY_CHECKを、CPU記憶部32に送る。CPU記憶部32は、この信号がオン（論理1）のときにチェック結果を無視するような回路構成になっている。

【0014】

主記憶アクセス要求がキャッシュにヒットし、アクセスの正当性が認められれば、CPU命令演算部31に対してデータが送出される（ステップS21）。そして、制御装置35は、CPU命令演算部31に対してデータ送出報告および完了報告を送出して、主記憶アクセス処理を完了する。このとき、正当性検出回路36のチェック結果は、キー保護例外信号として、CPU命令演算部31に送出される。完了報告の送出時にキー保護例外信号がオフ（論理0）であれば、送出されたデータは有効となる。

【0015】

また、ステップS20において、アクセスの正当性が認められなければ、キー保護例外信号がオンになり、CPU命令演算部31に対して例外報告が送出される（ステップS22）。

【0016】

【発明が解決しようとする課題】

しかしながら、上述した従来のキャッシュ制御には、次のような問題がある。

従来の制御では、キー制御保護を必要とする主記憶アクセス要求に対して、主記憶アクセスを行い、得られたデータに対して、アクセスの正当性をチェックし、正当性が認められてから、データを送出している。このため、主記憶装置に対

してキーアクセスを必要とする場合、主記憶キーの到着を待つ必要があり、データを送出するまでに時間がかかる。

【 0 0 1 7 】

また、主記憶装置に対して要求した主記憶キーがキーアクセスポートに到着したことをトリガとして、D A Tによるアドレス変換の結果をT L Bに登録し、D A Tの開放を行っている。このため、D A Tがアドレス変換を終了しても、変換結果の登録およびD A Tの開放を行うことができない。

【 0 0 1 8 】

また、キー制御保護を必要としない主記憶アクセス要求においては、本来、アクセスの正当性チェックは不要である。それにもかかわらず、このような要求においてT L Bミスが発生すると、主記憶装置に対してキーアクセスを行い、到着した主記憶キーを用いてチェックを行ってから、データを送出している。このため、無駄な待ち時間が発生する。

【 0 0 1 9 】

本発明の課題は、主記憶キーによるキー制御保護が提供される情報処理装置において、データアクセスの性能を向上させるキャッシュ制御装置およびその方法を提供することである。

【 0 0 2 0 】

【課題を解決するための手段】

図 1 は、本発明のキャッシュ制御装置の原理図である。図 1 のキャッシュ制御装置は、キャッシュ手段 5 1、要求手段 5 2、制御手段 5 3、および送出手段 5 4 を備える。

【 0 0 2 1 】

キャッシュ手段 5 1 は、データを格納し、要求手段 5 2 は、主記憶キーを要求し、制御手段 5 3 は、要求された主記憶キーの到着を待たずに、キャッシュ手段 5 1 のデータの検索を開始する。そして、送出手段 5 4 は、検索されたデータを送出する。

【 0 0 2 2 】

データアクセス要求に対してT L B検索が行われ、T L Bミスの発生により、

主記憶キーを取得する必要が生じた場合、要求手段 5 2 は、キーストレージ 4 1 のような主記憶キーの格納部に対してキー要求を発行し、対応する主記憶キーを要求する。主記憶キーが要求されると、制御手段 5 3 は、要求された主記憶キーが到着する前に、再び T L B 検索を行うことで、キャッシュ手段 5 1 の検索を開始する。そして、送出手段 5 4 は、データアクセス要求の要求元に対して、検索されたデータを直ちに送出する。

【 0 0 2 3 】

このような構成によれば、主記憶装置に対してキーアクセスを必要とする場合、到着した主記憶キーを用いた正当性チェックが完了するのを待つことなく、主記憶アクセス要求の処理を再開することができる。これにより、主記憶アクセス要求の処理時間を短縮することができる。また、送出手段 5 4 は、要求された主記憶キーの到着を待たずに、検索されたデータを送出することも可能となり、主記憶アクセス要求からデータ送出までの時間が短縮される。

【 0 0 2 4 】

図 1 のキャッシュ手段 5 1 は、例えば、後述する図 2 のキャッシュ装置 3 4 に対応し、図 1 の要求手段 5 2 および制御手段 5 3 は、例えば、図 2 の制御装置 6 1 に対応し、図 1 の送出手段 5 4 は、例えば、後述する図 6 の A N D ゲート 8 4 に対応する。

【 0 0 2 5 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態を詳細に説明する。

本実施形態のキャッシュ制御装置は、次のような特徴を有する。

(1) 主記憶アクセスの正当性チェックとキャッシュアクセスとを分離し、データの処理を正当性チェックに先行して行う。具体的には、主記憶装置に対してキーアクセスを必要とする場合、主記憶キーのキーアクセスポートへの到着と正当性チェックを待つことなく、データを送出するように、C P U 記憶部を制御する。これにより、主記憶アクセス要求からデータ送出までに要する時間が短縮される。

(2) 主記憶アクセスの T L B ミスが発生した場合、D A T にアドレス変換を要

求し、主記憶装置に対して主記憶キーを要求したことをトリガとして、D A T によるアドレス変換の結果をT L Bに登録する。これにより、アドレス変換の開始からT L B登録までの時間が短縮され、主記憶キーの到着を待たずに、T L Bを再検索することができる。言い換えれば、キーアクセスを待たずに主記憶アクセス要求の処理を再開することが可能となる。

(3) D A T によるアドレス変換の結果がT L Bに登録された後、主記憶キーの登録を待たずにD A T を開放して、後続のアドレス変換要求を処理する。この場合、主記憶装置に対して主記憶キーを要求したことをトリガとして、D A T の開放を行う。これにより、アドレス変換処理後、主記憶キーの到着を待たずに、直ちにD A T を開放して、後続のアドレス変換処理を行えるようになる。

(4) キー制御保護を必要としない主記憶アクセス要求に対して、キーアクセスおよび正当性チェックを待たずに、主記憶アクセス処理を完了する。この場合、T L B ミスが発生しても、キャッシュ装置に要求されたデータが存在すれば、直ちにデータと完了報告が送出され、その後、主記憶装置から到着した主記憶キーがキーバッファに登録される。このため、主記憶アクセス要求から完了報告までの時間が短縮される。

(5) 上記(3)の制御を行うだけでは、複数の主記憶キー要求が連続して発生した場合、キーアクセスポートが空くまで後続の要求が待たされるので、キーアクセスを連続して行うことができない。そこで、キーアクセスポートを複数用意し、複数のキーアクセスを同時に処理することで、D A T の開放を効率的に行う。これにより、D A T によるアドレス変換が連続して行われ、変換が完了する度に対応する主記憶キーを要求することができるので、主記憶装置に対するキー要求も連続して発行される。したがって、D A T が効率良く動作するようになる。

【 0 0 2 6 】

図2は、本発明のキャッシュ制御装置を備えた情報処理装置の構成図である。図2において、図18と同じ符号の構成要素については、基本的に、図18の構成要素と同様の機能を有する。制御装置61は、上述したように、C P U 命令演算部31のデータアクセスを効率化する制御を行い、キーアクセスポート62は2つ設けられている。

【0027】

図3および図4は、図2の情報処理装置におけるキャッシュ制御のタイミングチャートであり、図5は、キャッシュ制御の概要を示すフローチャートである。図3のタイミングチャートは、キー制御保護を必要とする場合に対応し、図4のタイミングチャートは、キー制御保護を必要としない場合に対応する。

【0028】

まず、CPU命令演算部31から主記憶アクセス要求が発行され、その要求に伴う論理アドレスが制御装置61に送られてくる。制御装置61は、その論理アドレスの変換結果である物理アドレスがTLB37に登録されているかどうかを調べるため、TLB37をアクセスする（ステップS31）。物理アドレスがTLB37に登録されていれば、TLB37は、制御装置61にTLBヒットを報告する。

【0029】

物理アドレスが登録されていなければ、TLB37は、制御装置61にTLBミスを報告し、制御装置61は、DAT39にアドレス変換を要求する（ステップS32）。これを受けて、DAT39は、論理アドレスのアドレス変換を開始し、アドレス変換処理が完了すると、論理アドレスおよび物理アドレスを制御装置61内のレジスタに格納する。

【0030】

また、制御装置61は、キーストレージ41に対して主記憶キー要求を発行し（ステップS33）、キー到着報告を待つ（ステップS36）。さらに、この主記憶キー要求をトリガとして、DAT39の変換結果である物理アドレスをTLB37に登録する要求（TLB登録要求）を発行し（ステップS34）、変換結果をTLB37に登録して、DAT39を開放する（ステップS35）。

【0031】

次に、制御装置61は、TLB登録要求をトリガとして、主記憶アクセス要求の処理を再開し、CPU記憶部32内に保持されている論理アドレスで、再びTLB37をアクセスする。今度は、変換結果がTLB37に登録されているので、TLB37は、制御装置61にTLBヒットを報告する。TLBヒットの報告

を受けた制御装置 6 1 は、ヒットした物理アドレスを用いてキャッシュ装置 3 4 を検索する（ステップ S 3 8）。

【 0 0 3 2 】

ここで、要求されたデータがキャッシュ装置 3 4 に登録されていなければ、主記憶装置 3 3 に対してデータ要求が発行され、到着したデータがキャッシュ装置 3 4 に登録される（ステップ S 3 9）。データが登録されていれば、正当性検出回路 3 6 によるキーチェックが必要か否か（キー制御保護が必要か否か）が判定される（ステップ S 4 0）とともに、データが送出済みか否かが判定される（ステップ S 4 5）。

【 0 0 3 3 】

キーチェックが必要であれば、キーバッファ 3 8 のバリッド信号 V L D がオンか否かが判定される（ステップ S 4 1）。そして、V L D がオフであれば、主記憶キーがまだ到着していないので、その到着が待ち合わされる（ステップ S 3 6）。

【 0 0 3 4 】

また、データが送出済みでなければ、キャッシュ装置 3 4 は、C P U 命令演算部 3 1 にデータを送出し、制御装置 6 1 にキャッシュヒットを報告する（ステップ S 4 6）。キャッシュヒットの報告を受けた制御装置 6 1 は、C P U 命令演算部 3 1 にデータ送出報告を送出する。

【 0 0 3 5 】

その後、主記憶装置 3 3 からキーアクセスポート 6 2 に主記憶キーが送られてくる。そこで、その到着をトリガとして、制御装置 6 1 は、主記憶キーをキーバッファ 3 8 に登録する要求（K E Y 登録要求）を発行し、キーアクセスポート 6 2 の主記憶キーがキーバッファ 3 8 に登録される（ステップ S 3 7）。これにより、キーバッファ 3 8 の V L D がオンになる。

【 0 0 3 6 】

このとき、主記憶キーと、T L B 3 7 に登録された論理アドレスおよび物理アドレスの対応付けを行う必要がある。そこで、制御装置 6 1 は、制御装置 6 1 内のレジスタに保持されている論理アドレスおよび物理アドレスを、主記憶キーの

登録と同時に、TLB 37 に上書き登録する。

【0037】

図3に示すように、主記憶キーの登録をトリガとして、再び、主記憶アクセス要求の処理がCPU記憶部32内で開始される。そして、上述した手順と同様に、TLBヒットおよびキャッシュヒットが発生する。この場合、VLDがオンとなっているので、キーバッファ38がアクセスされ、登録された主記憶キーが読み出されて、正当性検出回路36によりアクセスの正当性がチェックされる（ステップS42）。

【0038】

正当性検出回路36によるキーチェックの結果、アクセスの正当性が認められなければ、制御装置61は、キー保護例外信号をオンにして、CPU命令演算部31に対して例外報告を送出し（ステップS43）、完了報告を送出して（ステップS44）、主記憶アクセス処理を完了する。また、アクセスの正当性が認められれば、制御装置61は、キー保護例外信号をオフにして、ステップS44の動作を行う。

【0039】

正当性検出回路36によるキーチェックが必要でない場合は、図4に示すように、データ送出報告と同時に、完了報告がCPU命令演算部31に送出される（ステップS44、S46）。この場合、キーチェックの結果は参照されず、主記憶キーの登録後は、主記憶アクセス要求の処理は再開されない。

【0040】

次に、図6から図12までを参照しながら、図3のようなキャッシュ制御が行われる場合について、図2のCPU記憶部32の回路構成をより詳細に説明する。

【0041】

図6は、CPU記憶部32の回路の接続関係を示している。図6のインバータ77、79とANDゲート78、80、81とORゲート82は、制御装置61に属する。

【0042】

信号LA__TO__TLBは、制御装置61からTLB37に送られる論理アドレスを表し、信号LA__FROM__DATは、DAT39から出力される論理アドレスを表し、信号AA__FROM__DATは、DAT39から出力される物理アドレスを表す。

【0043】

ORゲート71は、制御装置61からのTLB登録要求信号とキー登録要求信号の論理和をTLB37に出力する。比較器72は、LA__TO__TLBとTLB37から出力される論理アドレスLAを比較して、両者が一致したときにオンとなる信号を出力する。インバータ73は、比較器72の出力を反転して、TLBミスの場合にオンとなる信号TLB__MISSを生成する。ANDゲート74は、比較器72の出力とTLB37から出力される物理アドレスAAの論理積を出力する。

【0044】

また、信号INH__KEY__CHECKは、前述したように、CPU命令演算部31からCPU記憶部32に送られる信号であり、キー制御保護を必要としない場合にオンとなる。信号ACCESS__KEYは、CPU命令演算部31からCPU記憶部32に送られるアクセスキーを表し、信号LA__TO__KEY__BUFFERは、制御装置61からキーバッファ38に送られる論理アドレスを表し、信号KEY__FROM__KEY__PORTは、キーアクセスポート62から出力される主記憶キーを表す。

【0045】

正当性検出回路36は、比較器75とORゲート76を含む。比較器75は、ACCESS__KEYとキーバッファ38から出力される主記憶キーKEYを比較して、両者が一致したときにオンとなる信号を出力する。ORゲート76は、INH__KEY__CHECKと比較器75の出力の論理和を出力し、インバータ77は、ORゲート76の出力を反転して、送出されたデータが有効の場合にオフとなるキー保護例外信号を生成する。

【0046】

また、信号LA__TO__CACHEは、制御装置61からキャッシュ装置34

に送られる論理アドレスを表す。比較器 83 は、AND ゲート 74 の出力とキャッシュ装置 34 から出力される物理アドレス AA を比較して、両者が一致したときにオンとなる信号を出力する。AND ゲート 78 は、キーバッファ 38 から出力されるバリッド信号 VLD と比較器 83 の出力の論理積を、完了報告として出力する。

【0047】

また、インバータ 79 は、VLD を反転して出力する。AND ゲート 80 は、VLD と比較器 83 の出力とデータ未送出信号の論理積を出力し、AND ゲート 81 は、インバータ 79 の出力と比較器 83 の出力とデータ未送出信号の論理積を出力する。データ未送出信号は、データの送出前はオンになっており、一旦データが送出されるとオフになる。そして、OR ゲート 82 は、AND ゲート 80 および 81 の出力の論理和を、データ送出報告として出力する。

【0048】

また、AND ゲート 84 は、比較器 83 の出力と、キャッシュ装置 34 から出力されるデータ (DATA) およびバリッド信号 VLD の論理積を、データとして出力する。

【0049】

このような回路構成によれば、TLB ヒットにより読み出された物理アドレスが、対応するキャッシュ装置 34 の物理アドレスと一致すれば、直ちにデータが CPU 命令演算部 31 に送出される。それと同時に、キーバッファ 38 に主記憶キーが登録されたか否かにかかわらずに、データ送出報告が送出される。また、キーバッファ 38 に主記憶キーが登録されて VLD がオンになると、直ちに完了報告が送出される。

【0050】

図 7 は、DAT 39 の入出力信号を示している。アドレス変換要求信号は、制御装置 61 から出力され、信号 LA__TO__DAT は、制御装置 61 から DAT 39 に送られる論理アドレスを表す。DAT 39 は、アドレス変換要求がオンになると、LA__TO__DAT を物理アドレス AA に変換して出力し、アドレス変換完了信号をオンにする。

【0051】

変換結果の物理アドレスAAは、制御装置61内のレジスタ85に保持され、AA_FROM_DATとして出力される。このとき、LA_TO_DATもレジスタ85に保持され、LA_FROM_DATとして出力される。信号DAT_BUSYは、DAT39の使用中はオンとなり、変換結果がTLB37に登録されるとオフとなる。

【0052】

図8は、キーアクセスポート62の入出力信号を示している。信号KEY_PORT_VALIDは、制御装置61から出力され、信号KEY_FROM_KEY_STORAGEは、キーストレージ41から送出される主記憶キーを表す。キーアクセスポート62は、KEY_FROM_KEY_STORAGEを信号KEY_FROM_KEY_PORTとして出力する。信号KEY_PORT_BUSYは、キーアクセスポート62の使用中はオンとなり、主記憶キーが出力されるとオフとなる。

【0053】

図9は、制御装置61の構成図である。信号LAは、CPU命令演算部31から送出される論理アドレスを表す。インバータ91は、CPU命令演算部31からの主記憶アクセス要求信号を反転して出力し、ANDゲート92は、LAと主記憶アクセス要求の論理積を出力する。ANDゲート93は、レジスタ95に保持されたORゲート94の出力と、インバータ91の出力の論理積を出力する。ORゲート94は、ANDゲート92および93の出力の論理和を、LA_TO_TLB、LA_TO_CACHE、LA_TO_KEY_BUFFER、およびLA_TO_DATとして出力する。

【0054】

このような回路構成によれば、主記憶アクセス要求がオンとなって論理アドレスが送られてくると、その論理アドレスがTLB37、キャッシュ装置34、キーバッファ38、およびDAT39に送られる。その後、主記憶アクセス要求がオフになっても、レジスタ95に論理アドレスが保持されているので、論理アドレスを繰り返し送出することができる。

【0055】

また、インバータ96および97は、それぞれ、DAT_BUSYおよびKEY_PORT_BUSYを反転して出力し、ANDゲート92は、TLB_MISSと、インバータ96および97の出力の論理積を、アドレス変換要求として出力する。

【0056】

また、DAT39からのアドレス変換完了信号は、キーストレージ41に対するキー要求信号として出力される。キー要求信号を受け取ったキーストレージ41は、キー要求受け付け信号を返送し、この信号はTLB登録要求信号として出力される。TLB37は、DAT39による変換結果の登録が完了すると、TLB登録完了信号を出力し、この信号によりDAT_BUSYがオフとなって、DAT39が開放される。

【0057】

このような回路構成によれば、アドレス変換の完了後、直ちにキー要求が発行され、それをトリガとして、直ちにTLB登録およびDAT開放が行われる。

また、キーストレージ41からのキー到着報告信号は、キー登録要求信号として出力され、キーバッファ38は、主記憶キーの登録が完了すると、キー登録完了信号を出力する。このキー登録完了信号を受け取ると、制御装置61は、主記憶アクセス要求の処理を再開する。

【0058】

また、インバータ99は、キー要求信号を反転して出力し、ORゲート100は、インバータ97および99の出力の否定の論理和を、反転して出力する。ANDゲート101は、ORゲート100の出力とキー登録要求信号の論理積を、KEY_PORT_VALIDとして出力する。

【0059】

ところで、CPU命令演算部31とCPU記憶部32の間には、前述したように、命令フェッチ用およびオペランドフェッチ用の2つのデータパスが存在し、CPU記憶部32内のTLB37、キーバッファ38、およびキャッシュ装置34は、2つのデータパスに対応して2つずつ設けられている。したがって、DA

T39は、命令フェッチとオペランドフェッチのどちらからアドレス変換要求が発行されたかを認識する必要がある。

【0060】

そこで、DAT39は、図10に示すように、命令フェッチとオペランドフェッチのそれぞれについて、アドレス変換要求信号を受け取り、アドレス変換完了信号を出力する。また、制御装置61は、図11に示すように、命令フェッチとオペランドフェッチのそれぞれについて、KEY_PORT_VALIDを生成する。

【0061】

この場合、図12に示すように、2つのキーアクセスポート62のうち、一方は命令フェッチ用に使用され、他方はオペランドフェッチ用に使用される。これらのキーアクセスポート62は、それぞれ命令フェッチおよびオペランドフェッチに関するKEY_PORT_VALIDを受け取って、KEY_PORT_BUSYを出力する。

【0062】

ANDゲート111は、命令フェッチ用のキーアクセスポート62からのKEY_PORT_BUSYとキー要求信号の論理積を出力し、ANDゲート112は、オペランドフェッチ用のキーアクセスポート62からのKEY_PORT_BUSYとキー要求信号の論理積を出力する。そして、ORゲート113は、ANDゲート111および112の出力の論理和を、キー要求_TO_KEY_STORAGEとして、キーストレージ41に送出する。

【0063】

ここでは、2つのキーアクセスポート62が設けられた場合について説明したが、一般には、2つ以上のキーアクセスポート62を設けることができる。キーアクセスポート62の数が多いほど、多くのキーアクセスを同時に処理することができる。

【0064】

次に、図13から図17までを参照しながら、本発明のキャッシュ制御の特徴について補足する。

命令の実行において、図 1 3 のようなステージがある場合を考える。この場合、CPU が 1 つの命令を実行するためには、以下の手順で動作が行われる。

(1) 命令フェッチ部

T_1 : 命令アドレスの生成

T_2 : 命令アドレスの変換 (仮想アドレス→物理アドレス)

T_3 : 命令アドレスに対する命令の読み出し

T_4 : チェック、命令コードの解読

(2) 命令実行部

T_5 : オペランドアドレスの生成

T_6 : オペランドアドレスの変換

T_7 : オペランドの読み出し

T_8 : 演算

T_9 : 結果のチェック

T_{10} : 結果をレジスタまたは記憶装置へ書き込む

このような手順を単一のフローで制御すると、図 1 4 に示すように、先行する命令 I 1 の実行が終了してから、後続する命令 I 2 のフェッチが行われることになる。連続する命令の処理を高速化する方法としては、図 1 5 に示すようなパイプライン制御が知られている。この制御によれば、命令 I 1 のフェッチが終了すれば、直ちに命令 I 2 のフェッチを開始することができる。

【0065】

この場合、命令 I 1 の実行と命令 I 2 のフェッチが同時に行われるため、ハードウェアは別々に必要になる。つまり、命令フェッチと命令実行の両方に存在するアドレス変換とデータ読み出しのために、ハードウェアはそれぞれ必要になる。このため、図 2 の情報処理装置では、TLB、キャッシュ装置等が別々に用意されている。

【0066】

しかし、DAT については、アドレス変換用テーブルをそれぞれのキャッシュ装置毎に設けると、必要なハードウェアが大幅に増加し、回路規模の増大につながる。そこで、本実施形態では、命令フェッチとオペランドフェッチで 1 つの D

ATを共用している。

【0067】

このような構成を前提として、DAT開放のための従来および本発明の制御方法を比較すると、図16のようになる。オペランドフェッチでTLBミスが発生した後、命令フェッチでTLBミスが発生した場合、従来の制御方法では、まず、DATによるオペランドアドレスの変換（OP-DAT）に続いて、オペランドフェッチのキーアクセス（OP-KEY-WAIT）が行われる。次に、主記憶キーの到着を待ってDATが開放され、DATによる命令アドレスの変換（IF-DAT）と命令フェッチのキーアクセス（IF-KEY-WAIT）が行われる。

【0068】

これに対して、本発明の制御方法では、OP-DATの後、直ちにDATが開放されて、OP-KEY-WAITとIF-DATが同時に行われるため、全体として処理が高速化される。

【0069】

また、TLB登録のための従来および本発明の制御方法を比較すると、図17のようになる。オペランドフェッチでTLBミス（OP-ACC1）が発生した場合、従来の制御方法では、まず、OP-DATに続いてOP-KEY-WAITが行われ、主記憶キーの到着を待って、アドレス変換結果のTLBへの登録（OP-TLB-WT）と主記憶キーのキーバッファへの登録（OP-KEY-WT）が行われる。そして、オペランドフェッチの処理（OP-ACC1）が再開され、TLBヒットが発生し、続いて次のオペランドフェッチ（OP-ACC2）が開始される。

【0070】

これに対して、本発明の制御方法では、OP-DATの後、直ちにOP-TLB-WTが行われるため、OP-KEY-WAITの間にOP-ACC1とOP-ACC2を開始することができる。

【0071】

【発明の効果】

本発明によれば、主記憶キーによるキー制御保護が提供される情報処理装置において、命令やオペランドへのアクセスが効率化される。

【 0 0 7 2 】

特に、CPU命令演算部へのデータ送出处理において、従来は、キーアクセスを行ってからデータを送出していたが、本発明では、キーアクセスを行っている最中にデータを送出するため、データ送出处理に要する時間を短縮することができる。また、キー制御保護を必要としない要求に対しても、キーアクセスを行っている最中にデータを送出し、完了報告を行うため、同様に、データ送出处理に要する時間を短縮することができる。

【 0 0 7 3 】

また、TLB登録処理において、従来は、キーアクセスを行ってからTLB登録を行っていたが、本発明では、キーアクセスを行っている最中にTLB登録を行う。このため、アウトオブオーダー処理を行うスーパースカラプロセッサにおいて、後続の要求がTLBを参照する場合に、キーアクセス中の先行する要求の処理を待たずにTLBを参照することができ、処理時間が短縮される。

【 0 0 7 4 】

また、DAT開放処理において、従来は、キーアクセスを行ってからDATを開放していたが、本発明では、キーアクセスを行っている最中にDATを開放する。このため、アウトオブオーダー処理を行うスーパースカラプロセッサにおいて、後続のDAT要求に対して、キーアクセス中の先行する要求の処理を待たずにDATを起動できる。したがって、アドレス変換処理の時間が短縮されるとともに、回路規模の増大を抑えることができる。

【 0 0 7 5 】

さらに、キーアクセスポートを複数用意することによって、先行するキーアクセスを行っている最中に、後続のキーアクセスを行うことができるようになる。したがって、DATによるアドレス変換処理と、キーアクセスの一連の処理を、それぞれ連続して行うことができ、処理時間が短縮される。

【図面の簡単な説明】

【図 1】

本発明のキャッシュ制御装置の原理図である。

【図 2】

情報処理装置の構成図である。

【図 3】

第 1 のキャッシュ制御のタイミングチャートである。

【図 4】

第 2 のキャッシュ制御のタイミングチャートである。

【図 5】

キャッシュ制御のフローチャートである。

【図 6】

CPU 記憶部の回路を示す図である。

【図 7】

DAT の第 1 の入出力信号を示す図である。

【図 8】

キーアクセスポートの第 1 の入出力信号を示す図である。

【図 9】

制御装置の構成図である。

【図 1 0】

DAT の第 2 の入出力信号を示す図である。

【図 1 1】

制御装置の入出力信号を示す図である。

【図 1 2】

キーアクセスポートの第 2 の入出力信号を示す図である。

【図 1 3】

命令処理のステージを示す図である。

【図 1 4】

単一制御を示す図である。

【図 1 5】

パイプライン制御を示す図である。

【図 16】

DAT開放を示す図である。

【図 17】

TLB登録を示す図である。

【図 18】

従来の情報処理装置の構成図である。

【図 19】

従来のキャッシュ制御のタイミングチャートである。

【図 20】

従来のキャッシュ制御のフローチャートである。

【符号の説明】

31 CPU命令演算部

32 CPU記憶部

33 主記憶装置

34 キャッシュ記憶装置

35、61 制御装置

36 正当性検出回路

37 TLB

38 キーバッファ

39 DAT

40、62 キーアクセスポート

41 キーストレージ

51 キャッシュ手段

52 要求手段

53 制御手段

54 送出手段

71、76、82、94、100、113 ORゲート

74、78、80、81、84、92、93、98、101、111、112

ANDゲート

72、75、83 比較器

73、77、79、91、96、97、99 インバータ

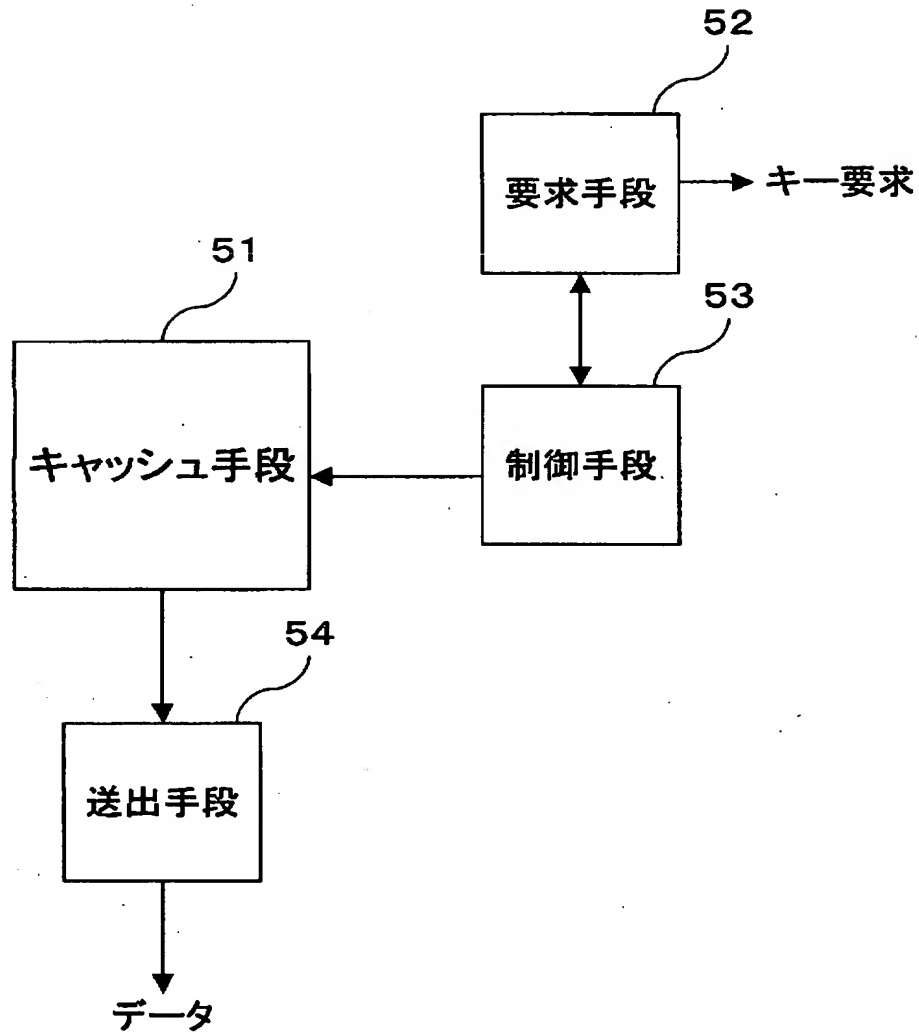
85、95 レジスタ

【書類名】

図面

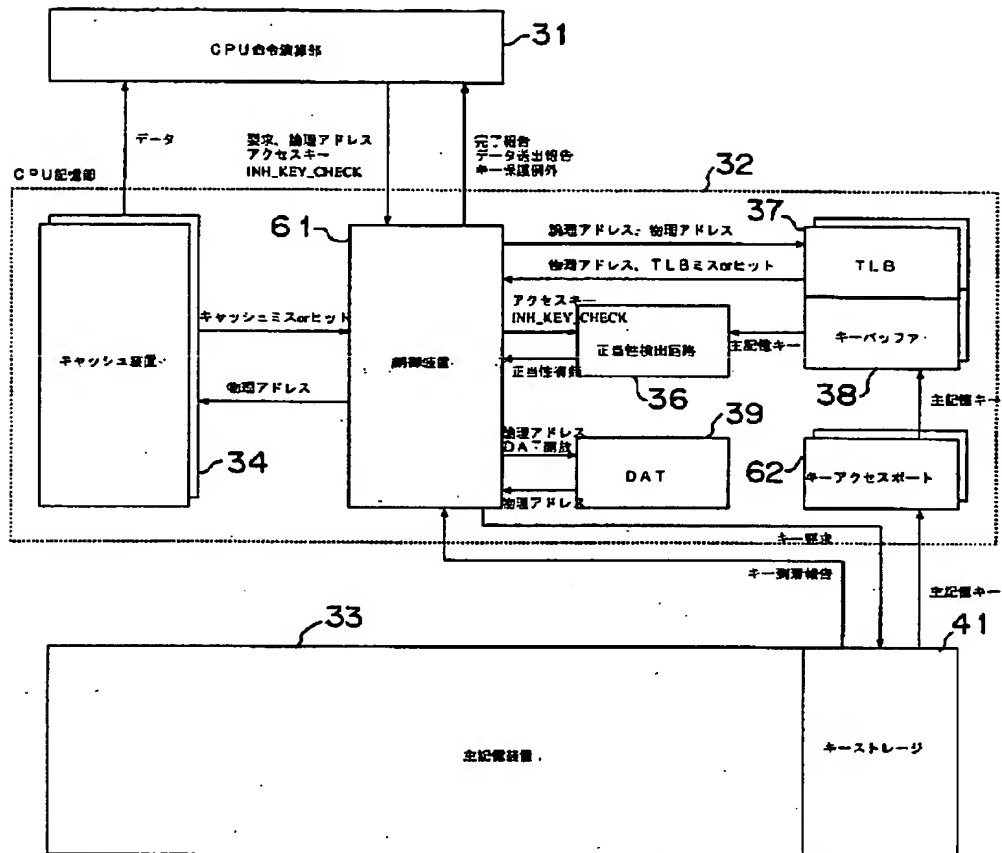
【図 1】

本発明の原理図



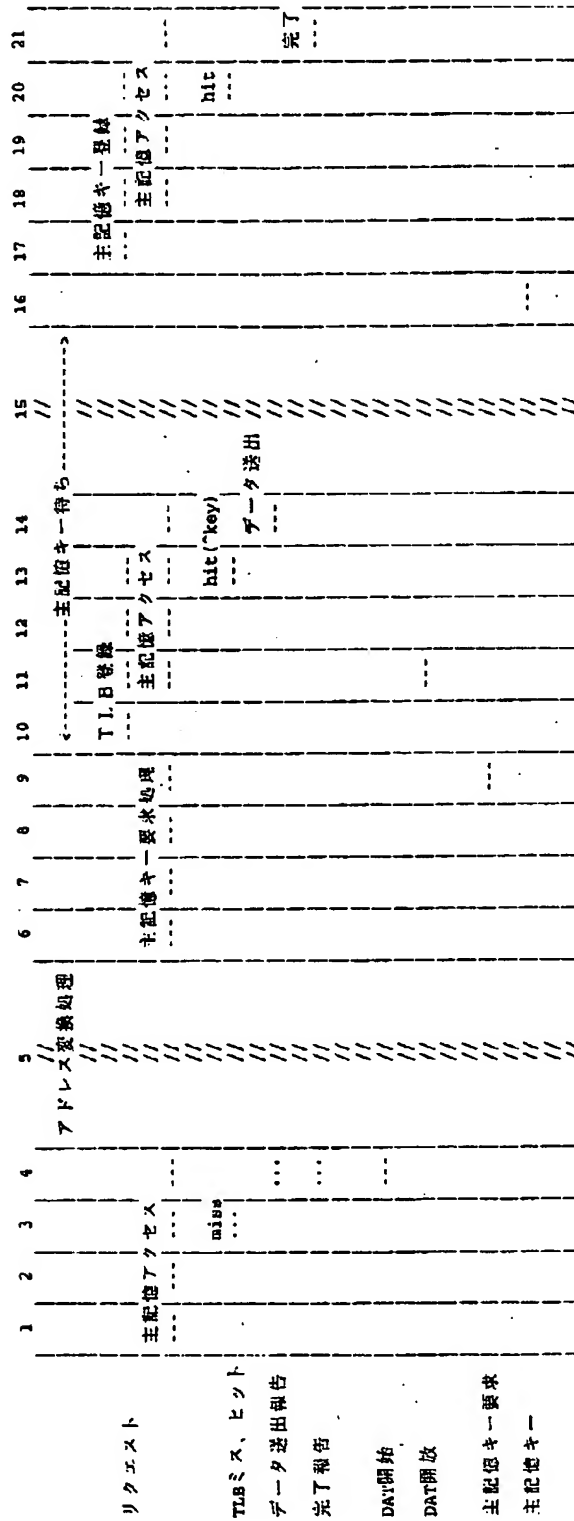
【図2】

情報処理装置の構成図



【図3】

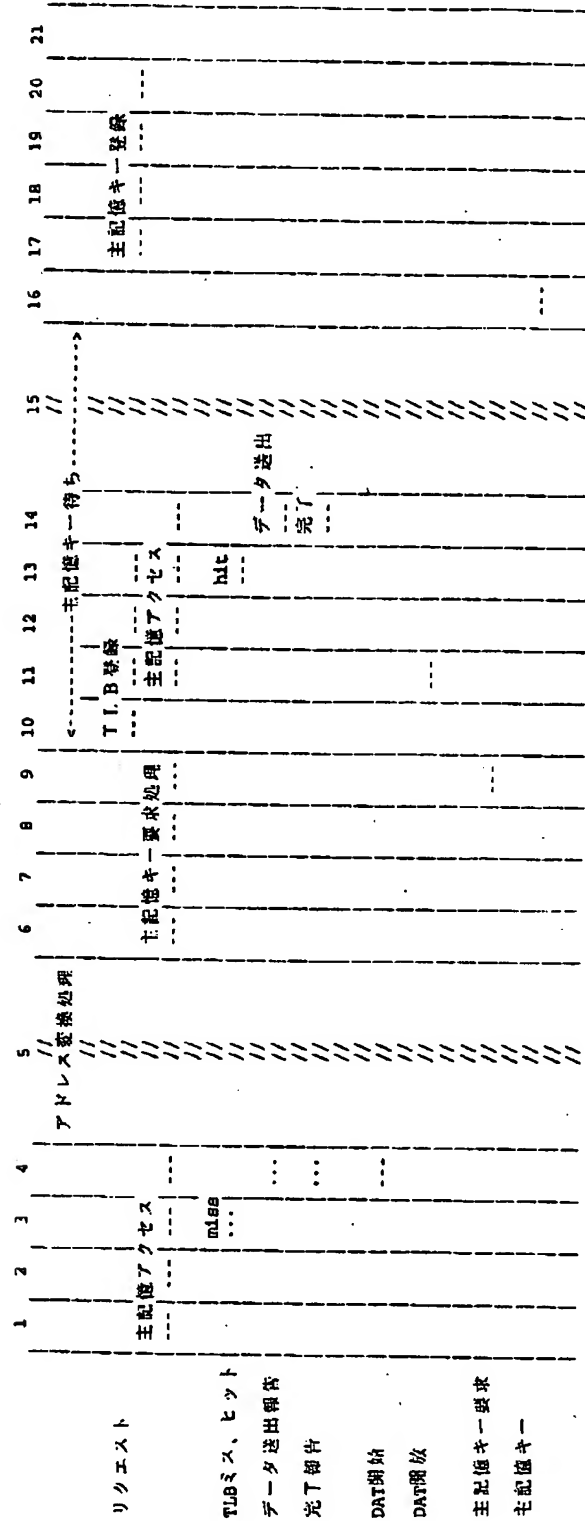
第1のキャッシュ制御のタイミングチャート



特 2 0 0 1 - 3 2 8 0 2 2

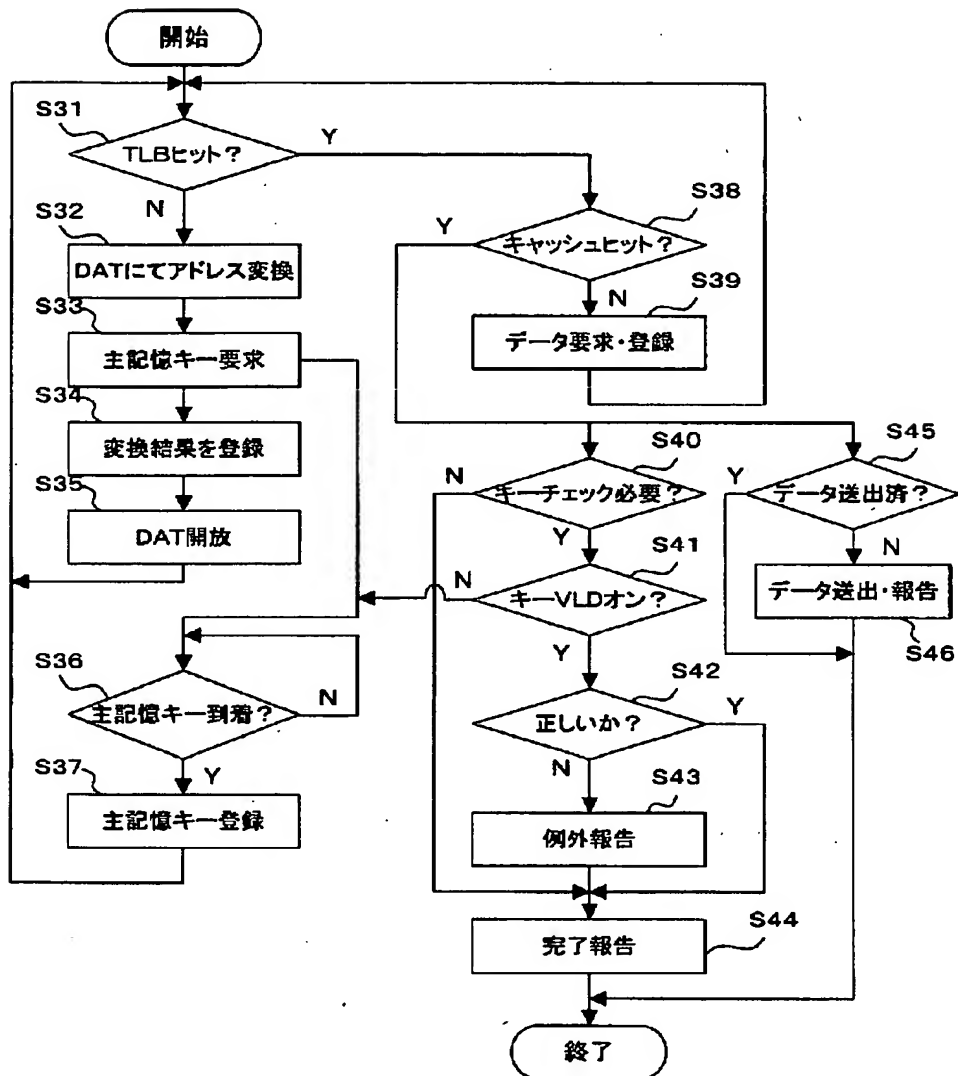
【図 4】

第2のキャッシュ制御のタイミングチャート



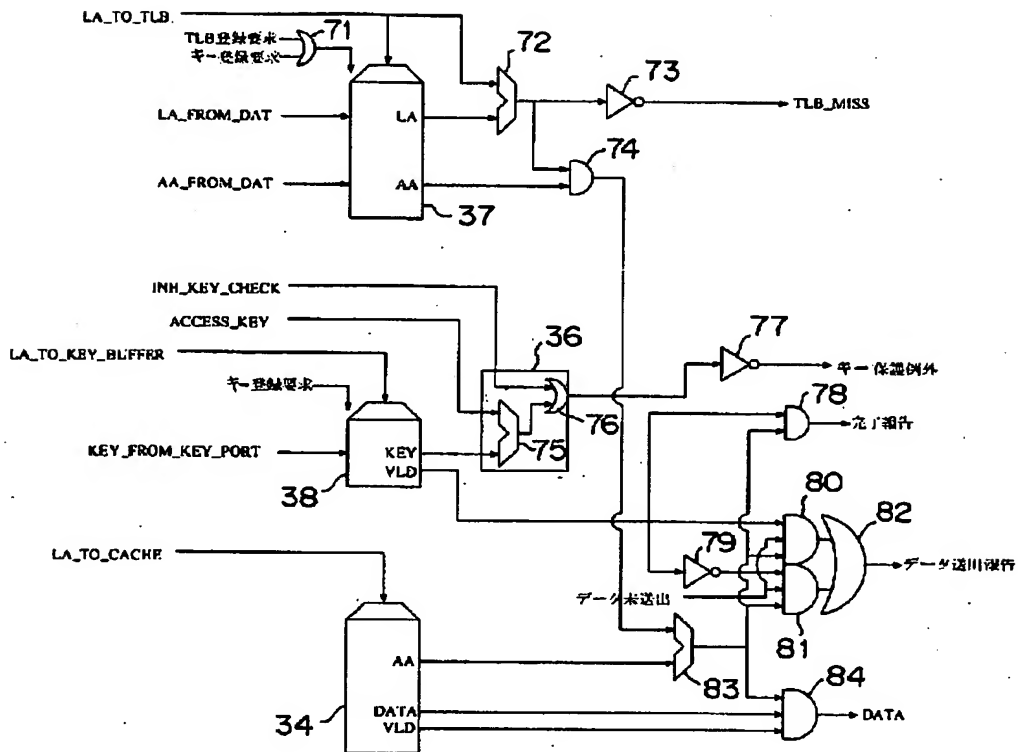
【図 5】

キャッシュ制御のフローチャート



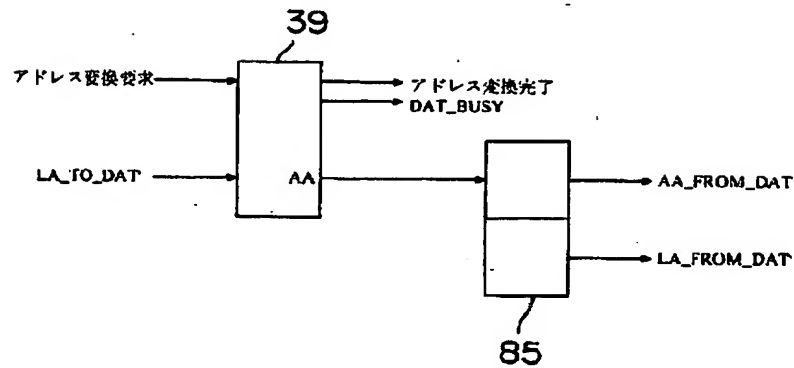
【図6】

CPU 記憶部の回路を示す図



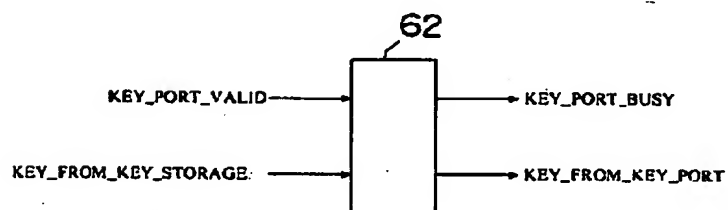
【図 7】

DATの第1の入出力信号を示す図



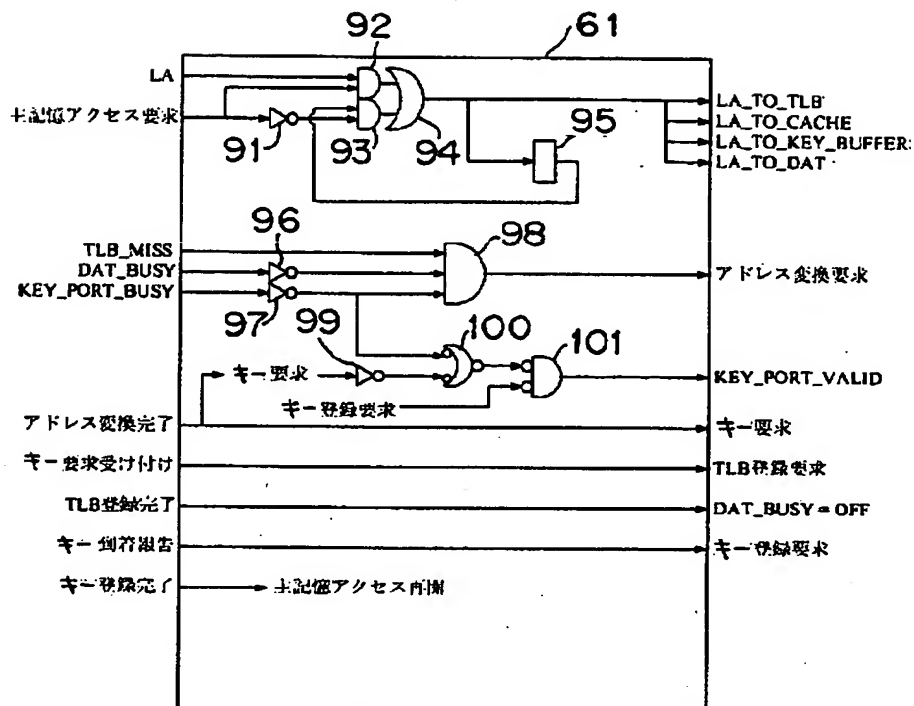
【図 8】

キーアクセスポートの第1の入出力信号を示す図



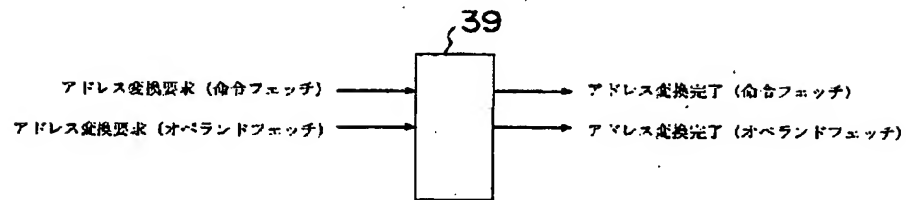
【図9】

制御装置の構成図



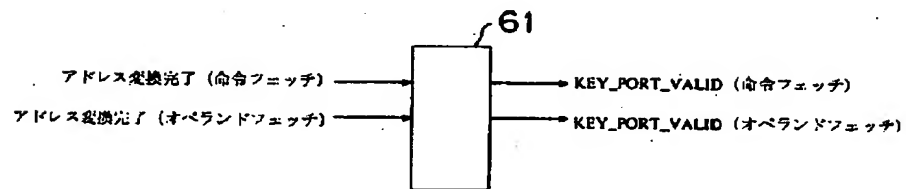
【図 1 0】

DATの第2の入出力信号を示す図



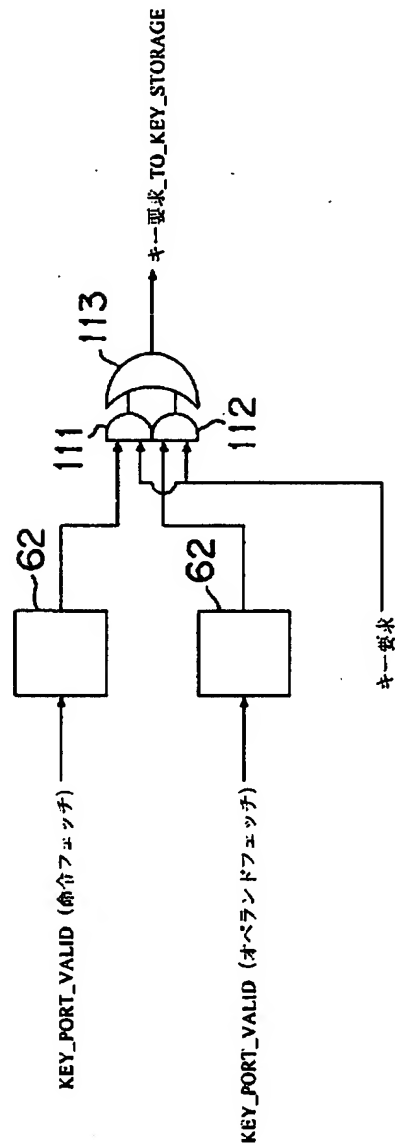
【図 1 1】

制御装置の入出力信号を示す図



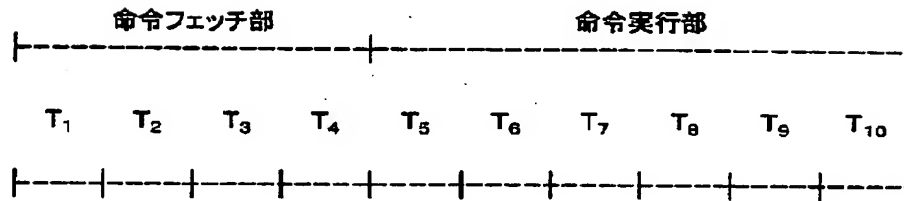
【図 1 2】

キ-アクセスポートの第2の入出力信号を示す図



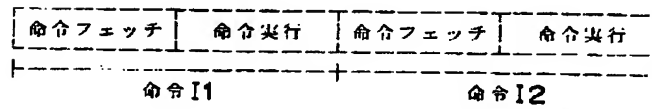
【図 13】

命令処理のステージを示す図



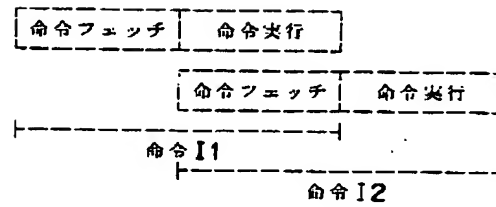
【図 14】

単一制御を示す図



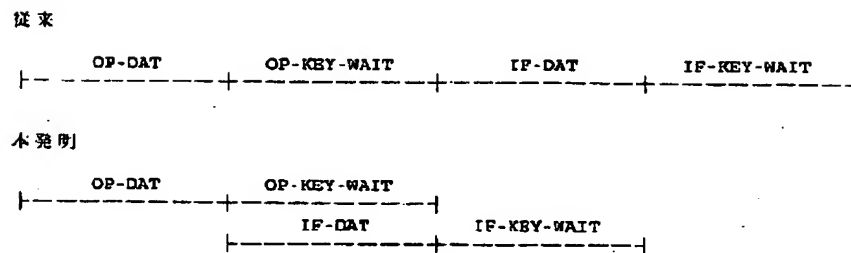
【図 1 5】

パイプライン制御を示す図



【図 1 6】

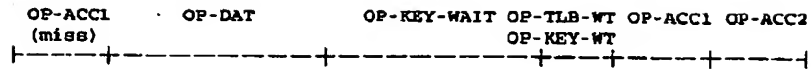
DAT 開放を示す図



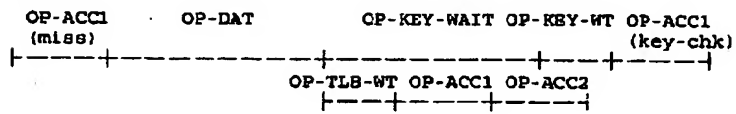
【図 17】

TLB登録を示す図

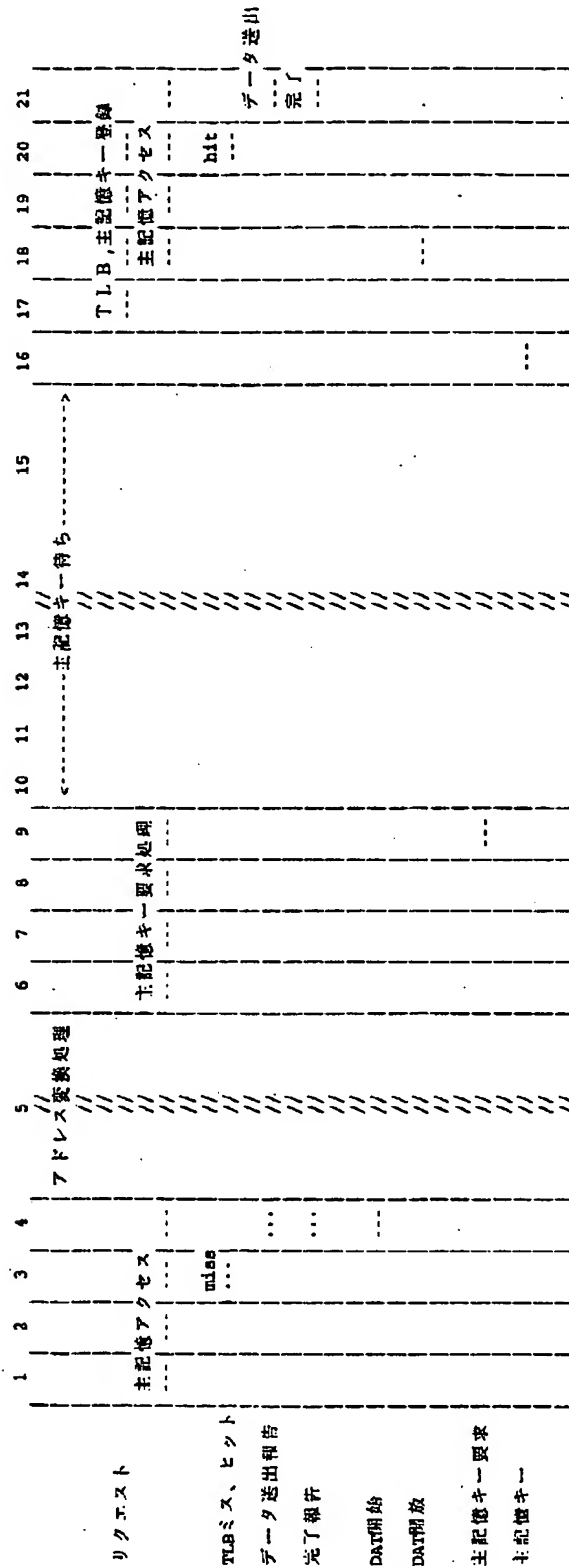
従来



本発明

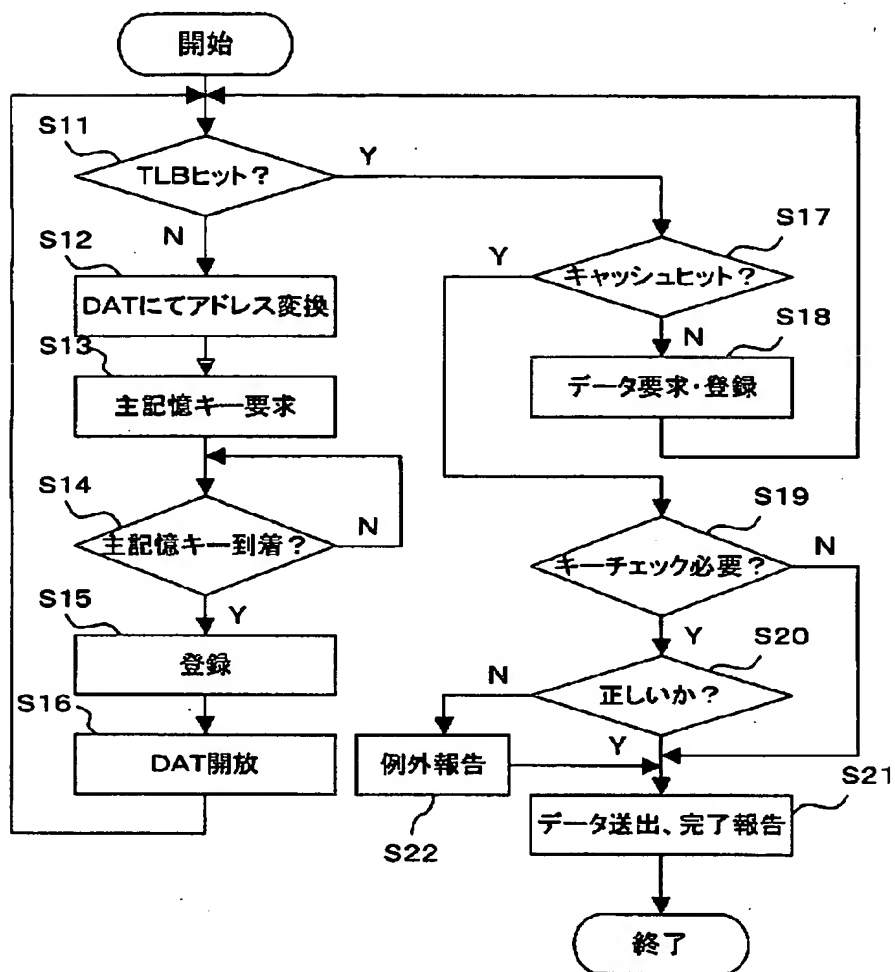


従来のキャッシュ制御のタイミングチャート



【図20】

従来のキャッシュ制御のフローチャート



【書類名】 要約書

【要約】

【課題】 キャッシュ装置を有し、主記憶キーによるキー制御保護が提供される情報処理装置において、データアクセスの性能を向上させることが課題である。

【解決手段】 主記憶アクセス要求に対してTLBミスが発生すると、DATによるアドレス変換処理に続いて、主記憶キー要求処理が行われる。要求された主記憶キーの到着を待っている間に、変換結果がTLBに登録され、主記憶アクセス要求の処理が再開される。そして、TLBにヒットすれば、対応するデータが送出される。その後、到着した主記憶キーを用いてアクセスの正当性がチェックされ、完了報告が送出される。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社